



Attorney Docket: A-382W002
S.N. 09/716,843

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 1999年5月18日
Date of Application:

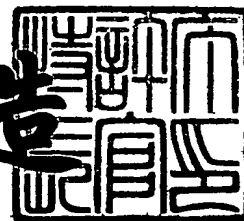
出 願 番 号 PCT/JP99/02564
Application Number:

出 願 人 株式会社ティ・アイ・エフ
Applicant (s): 池田孝市
 池田 毅

2000 年 12 月 15 日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証平 12-500231

特許協力条約に基づく国際出願

願 書

出願人は、この国際出願が特許協力条約に従って処理されることを請求する。

受理官庁記入欄
国際出願番号
国際出願日
(受付印)
出願人又は代理人の書類記号 (希望する場合、最大12字)



NSP0225P

第 I 欄 発明の名称

半導体装置およびその製造方法

第 II 欄 出願人

氏名 (名称) 及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

株式会社 ティ・アイ・エフ
T. I. F. Co., Ltd.
〒143-0023 日本国東京都大田区山王2丁目5番6-213
5-6-213, San-no 2-chome, Ohta-ku, Tokyo 143-0023 JAPAN

☐ この欄に記載した者は、
発明者でもある。

電話番号:
03-3778-0611

ファクシミリ番号:

加入電話番号:

国籍 (国名): 日本国 JAPAN

住所 (国名): 日本国 JAPAN

この欄に記載した者は、次の
指定国についての出願人である: ☐ すべての指定国 ☒ 米国を除くすべての指定国 ☐ 米国のみ ☐ 追記欄に記載した指定国

第 III 欄 その他の出願人又は発明者

氏名 (名称) 及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

池田 孝市 IKEDA Kouichi
〒943-0834 日本国新潟県上越市西城町二丁目5番13
5-13, Nishishiromachi 2-chome, Jouetsu-shi, Niigata
943-0834 Japan

この欄に記載した者は
次に該当する:

☐ 出願人のみである。

☒ 出願人及び発明者である。

☐ 発明者のみである。
(ここにレ印を付したとき
は、以下に記入しないこと)

国籍 (国名): 日本国 JAPAN

住所 (国名): 日本国 JAPAN

この欄に記載した者は、次の
指定国についての出願人である: ☐ すべての指定国 ☐ 米国を除くすべての指定国 ☒ 米国のみ ☐ 追記欄に記載した指定国

☒ その他の出願人又は発明者が総案に記載されている。

第 IV 欄 代理人又は共通の代表者、通知のあて名

次に記載された者は、国際機関において出願人のために行動する:

☒ 代理人

☐ 共通の代表者

氏名 (名称) 及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

10317 弁理士 雨貝 正彦 AMAGAI Masahiko
〒160-0023 日本国東京都新宿区西新宿7丁目7番26号
ワコーレ新宿第1ビル803号室 雨貝特許事務所
Amagai Tokkyo Jimusyo, Wacore Shinjuku Daiichi-Build. 803,
7-26, nishishinjuku 7-chome, Shinjuku-ku, Tokyo 160-0023 Japan

電話番号:

03-3362-6791

ファクシミリ番号:

03-3362-6792

加入電話番号:

☐ 通知のためのあて名: 代理人又は共通の代表者が委任されておらず、上記枠内に特に通知が送付されるあて名を記載している場合は、レ印を付す

第III欄の続き その他の出願人又は発明者

この説書を使用しないときは、この用紙を願書に含めないこと。

氏名(名称)及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

池田 毅 IKEDA Takeshi
 〒143-0023 日本国東京都大田区山王2丁目5番6-213
 5-6-213, San-no 2-chome, Ohta-ku, Tokyo 143-0023 JAPAN

この欄に記載した者は、次に該当する:

- ☐ 出願人のみである。
- ☒ 出願人及び発明者である。
- ☐ 発明者のみである。
 (ここにレ印を付したときは、以下に記入しないこと)

国籍(国名): 日本国 JAPAN

住所(国名): 日本国 JAPAN

この欄に記載した者は、次の

☐ すべての指定国☐ 米国を除くすべての指定国☒ 米国のみ☐ 追記欄に記載した指定国

指定国についての出願人である:

氏名(名称)及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する:

- ☐ 出願人のみである。
- ☐ 出願人及び発明者である。
- ☐ 発明者のみである。
 (ここにレ印を付したときは、以下に記入しないこと)

国籍(国名):

住所(国名):

この欄に記載した者は、次の

☐ すべての指定国☐ 米国を除くすべての指定国☐ 米国のみ☐ 追記欄に記載した指定国

指定国についての出願人である:

氏名(名称)及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する:

- ☐ 出願人のみである。
- ☐ 出願人及び発明者である。
- ☐ 発明者のみである。
 (ここにレ印を付したときは、以下に記入しないこと)

国籍(国名):

住所(国名):

この欄に記載した者は、次の

☐ すべての指定国☐ 米国を除くすべての指定国☐ 米国のみ☐ 追記欄に記載した指定国

指定国についての出願人である:

氏名(名称)及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する:

- ☐ 出願人のみである。
- ☐ 出願人及び発明者である。
- ☐ 発明者のみである。
 (ここにレ印を付したときは、以下に記入しないこと)

国籍(国名):

住所(国名):

この欄に記載した者は、次の

☐ すべての指定国☐ 米国を除くすべての指定国☐ 米国のみ☐ 追記欄に記載した指定国

指定国についての出願人である:

☐ その他の出願人又は発明者が他の説書に記載されている。

第V欄 国の指定

規則 4.9(a)の規定に基づき次の指定を行う (該当する□にレ印を付すこと； 少なくとも1つの□にレ印を付すこと)。

広域特許

- ☐ **AP** **ARIPO**特許：GH ガーナ Ghana, GM ガンビア Gambia, KE ケニア Kenya, LS レソト Lesotho, MW マラウイ Malawi, SD スーダン Sudan, SZ スワジランド Swaziland, UG ウガンダ Uganda, ZW ジンバブエ Zimbabwe, 及びハラレプロトコルと特許協力条約の締約国である他の国
- ☐ **EA** **ユーラシア**特許：AM アルメニア Armenia, AZ アゼルバイジャン Azerbaijan, BY ベラルーシ Belarus, KG キルギス Kyrgyzstan, KZ カザフスタン Kazakhstan, MD モルドヴァ Republic of Moldova, RU ロシア Russian Federation, TJ タジキスタン Tajikistan, TM トルクメニスタン Turkmenistan, 及びユーラシア特許条約と特許協力条約の締約国である他の国
- ☒ **EP** **ヨーロッパ**特許：AT オーストリア Austria, BE ベルギー Belgium, CH and LI スイス及びリヒテンシュタイン Switzerland and Liechtenstein, CY キプロス Cyprus, DE ドイツ Germany, DK デンマーク Denmark, ES スペイン Spain, FI フィンランド Finland, FR フランス France, GB 英国 United Kingdom, GR ギリシャ Greece, IE アイルランド Ireland, IT イタリア Italy, LU ルクセンブルグ Luxembourg, MC モナコ Monaco, NL オランダ Netherlands, PT ポルトガル Portugal, SE スウェーデン Sweden, 及びヨーロッパ特許条約と特許協力条約の締約国である他の国
- ☐ **OA** **OAPI** 特許：BF ブルキナ・ファソ Burkina Faso, BJ ベナン Benin, CF 中央アフリカ Central African Republic, CG コンゴ Congo, CI コートジボアール Côte d'Ivoire, CM カメルーン Cameroon, GA ガボン Gabon, GN ギニア Guinea, ML マリ Mali, MR モーリタニア Mauritania, NE ニジェール Niger, SN セネガル Senegal, TD チャド Chad, TG トーゴ Togo, 及びアフリカ知的所有権機構のメンバー国と特許協力条約の締約国である他の国 (他の国への保護又は取扱いを求める場合には点線の上に記載する)

[国]内特許 (他の国への保護又は取扱いを求める場合には点線の上に記載する)

- | | |
|--|--|
| <input type="checkbox"/> AL アルバニア Albania | <input type="checkbox"/> LT リトアニア Lithuania |
| <input type="checkbox"/> AM アルメニア Armenia | <input type="checkbox"/> LU ルクセンブルグ Luxembourg |
| <input type="checkbox"/> AT オーストリア Austria | <input type="checkbox"/> LV ラトヴィア Latvia |
| <input type="checkbox"/> AU オーストラリア Australia | <input type="checkbox"/> MD モルドヴァ Republic of Moldova |
| <input type="checkbox"/> AZ アゼルバイジャン Azerbaijan | <input type="checkbox"/> MG マダガスカル Madagascar |
| <input type="checkbox"/> BA ボスニア・ヘルツェゴヴィナ Bosnia and Herzegovina | <input type="checkbox"/> MK マケドニア旧ユーゴスラヴィア共和国 The former Yugoslav Republic of Macedonia |
| <input type="checkbox"/> BB バルバドス Barbados | <input type="checkbox"/> MN モンゴル Mongolia |
| <input type="checkbox"/> BG ブルガリア Bulgaria | <input type="checkbox"/> MW マラウイ Malawi |
| <input type="checkbox"/> BR ブラジル Brazil | <input type="checkbox"/> MX メキシコ Mexico |
| <input type="checkbox"/> BY ベラルーシ Belarus | <input type="checkbox"/> NO ノルウェー Norway |
| <input type="checkbox"/> CA カナダ Canada | <input type="checkbox"/> NZ ニュー・ジーランド New Zealand |
| <input type="checkbox"/> CH and LI スイス及びリヒテンシュタイン Switzerland and Liechtenstein | <input type="checkbox"/> PL ポーランド Poland |
| <input checked="" type="checkbox"/> CN 中国 China | <input type="checkbox"/> PT ポルトガル Portugal |
| <input type="checkbox"/> CU キューバ Cuba | <input type="checkbox"/> RO ルーマニア Romania |
| <input type="checkbox"/> CZ チェッコ Czech Republic | <input type="checkbox"/> RU ロシア Russian Federation |
| <input type="checkbox"/> DE ドイツ Germany | <input type="checkbox"/> SD スーダン Sudan |
| <input type="checkbox"/> DK デンマーク Denmark | <input type="checkbox"/> SE スウェーデン Sweden |
| <input type="checkbox"/> EE エストニア Estonia | <input type="checkbox"/> SG シンガポール Singapore |
| <input type="checkbox"/> ES スペイン Spain | <input type="checkbox"/> SI スロヴェニア Slovenia |
| <input type="checkbox"/> FI フィンランド Finland | <input type="checkbox"/> SK スロヴァキア Slovakia |
| <input type="checkbox"/> GB 英国 United Kingdom | <input type="checkbox"/> SL シェラ・レオーネ Sierra Leone |
| <input type="checkbox"/> GE グルジア Georgia | <input type="checkbox"/> TJ タジキスタン Tajikistan |
| <input type="checkbox"/> GH ガーナ Ghana | <input type="checkbox"/> TM トルクメニスタン Turkmenistan |
| <input type="checkbox"/> GM ガンビア Gambia | <input type="checkbox"/> TR トルコ Turkey |
| <input type="checkbox"/> GW ギニア・ビサウ Guinea-Bissau | <input type="checkbox"/> TT トリニダード・トバゴ Trinidad and Tobago |
| <input type="checkbox"/> HR クロアチア Croatia | <input type="checkbox"/> UA ウクライナ Ukraine |
| <input type="checkbox"/> HU ハンガリー Hungary | <input type="checkbox"/> UG ウガンダ Uganda |
| <input type="checkbox"/> ID インドネシア Indonesia | <input checked="" type="checkbox"/> US 米国 United States of America |
| <input type="checkbox"/> IL イスラエル Israel | <input type="checkbox"/> UZ ウズベキスタン Uzbekistan |
| <input type="checkbox"/> IS アイスランド Iceland | <input type="checkbox"/> VN ヴィエトナム Viet Nam |
| <input type="checkbox"/> JP 日本 Japan | <input type="checkbox"/> YU ユーゴスラヴィア Yugoslavia |
| <input type="checkbox"/> KE ケニア Kenya | <input type="checkbox"/> ZW ジンバブエ Zimbabwe |
| <input type="checkbox"/> KG キルギス Kyrgyzstan | |
| <input checked="" type="checkbox"/> KR 韓国 Republic of Korea | |
| <input type="checkbox"/> KZ カザフスタン Kazakhstan | |
| <input type="checkbox"/> LC セント・ルシア Saint Lucia | |
| <input type="checkbox"/> LK スリ・ランカ Sri Lanka | |
| <input type="checkbox"/> LR リベリア Liberia | |
| <input type="checkbox"/> LS レソト Lesotho | |

以下の□は、この様式の発行後に特許協力条約の締約国となった国を指定 (国内特許のために) するためのものである

- ☐ _____
- ☐ _____
- ☐ _____
- ☐ _____
- ☐ _____

特許の指定の宣言：出願人は、上記の指定に加えて、規則 4.9(b)の規定に基づき、特許協力条約の下で認められる他の全ての国の指定を行う。ただし、この宣言から除外する表示を通知した国は、指定から除かれる。出願人は、これらの追加される指定が特許を条件としていること、並びに優先日から15月が経過する前にその特許がなされない場合は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。(指定の撤回は、指定を特許する通知の提出と指定手数料及び特許手数料の納付からなる。この撤回は、優先日から15月以内に受理官へ提出しなければならない。)

第VI欄 優先権主張

☐ 他の優先権の主張（先の出願）が追記欄に記載されている

先の出願日 (日. 月. 年)	先の出願番号	先の出願		
		国内出願 : 国名	広域出願 : *広域官庁名	国際出願 : 受理官庁名
(1) 19.05.98	平成10年特許願 第153818号	日本国 Japan		
(2)				
(3)				

☒ 上記()の番号の先の出願（ただし、本国際出願が提出される受理官庁に対して提出されたものに限り）のうち、次の()の番号のものについては、出願書類の認証書を作成し国際事務局へ送付することを、受理官庁（日本国特許庁の長官）に対して請求している。 (1)

*先の出願が、ARIPOの特許出願である場合には、その先の出願を行った工業所有権の保護のためのパリ条約同盟国の少なくとも1ヶ国を追記欄に表示しなければならない（規則4.10(b)(ii)）。追記欄を参照。

第VII欄 国際調査機関

国際調査機関（ISA）の選択

先の調査結果の利用請求：当該調査の照会（先の調査が、国際調査機関によって既に実施又は請求されている場合）

出願日（日. 月. 年）

出願番号

国名（又は広域官庁）

ISA / JP

第VIII欄 照会欄：出願の言語

この国際出願の用紙の枚数は次のとおりである。

願書	4	枚
明細書（配列表を除く）	9	枚
請求の範囲	2	枚
要約書	1	枚
図面	5	枚
明細書の配列表	0	枚

合計 21 枚

この国際出願には、以下にチェックした書類が添付されている。

- | | |
|---|---|
| 1. <input checked="" type="checkbox"/> 手数料計算用紙 | 5. <input type="checkbox"/> 優先権書類（上記第VI欄の()の番号を記載する） |
| <input checked="" type="checkbox"/> 納付する手数料に相当する特許印紙を貼付した書面 | |
| <input checked="" type="checkbox"/> 国際事務局の口座への振込みを証明する書面 | 6. <input type="checkbox"/> 国際出願の翻訳文（翻訳に使用した言語名を記載する） |
| 2. <input checked="" type="checkbox"/> 別個の記名押印された委任状 | 7. <input type="checkbox"/> 寄託した微生物又は他の生物材料に関する書面 |
| 3. <input type="checkbox"/> 包括委任状の写し | 8. <input type="checkbox"/> スクレオチド又はアミノ酸配列表（フレキシブルディスク） |
| 4. <input type="checkbox"/> 記名押印（署名）の説明書 | 9. <input checked="" type="checkbox"/> その他（書類名を詳細に記載する） |

優先権書類送付請求書

要約書とともに提示する図面： 1(a)~(d)

本国際出願の使用言語名： 日本語

第IX欄 提出者の記名押印

各人の氏名（名姓）を記載し、その次に押印する。

雨貝 正彦



受理官庁記入欄

1. 国際出願として提出された書類の実際の受理の日	2. 図面 <input type="checkbox"/> 受理された <input type="checkbox"/> 不足図面がある
3. 国際出願として提出された書類を補充する書類又は図面であって その後期間内に提出されたものの実際の受理の日（訂正日）	
4. 特許協力条約第11条(2)に基づく必要な補充の期間内の受理の日	
5. 出願人により特定された 国際調査機関 ISA / JP	
6. <input type="checkbox"/> 調査手数料未払いにつき、国際調査機関に 調査用写しを送付していない	

国際事務局記入欄

記録原本の受理の日

様式 PCT/RO/101（最終用紙）（1998年7月）

明 細 書

半導体装置およびその製造方法

技術分野

本発明は、メモリ基板やマザーボードなどに実装可能な半導体装置およびその製造方法に関する。

背景技術

半導体ウエハから切り出されたメモリチップ等の半導体チップは、パッケージングされた状態でプリント基板等を実装されるのが一般的である。ところが、パッケージの外形寸法は、各種の半導体チップ自体のサイズに比べてかなり大きい
ため、プリント基板等を実装可能なパッケージの数には一定の制限がある。

一方、最近では、複数の半導体チップを基板上に実装したマルチチップモジュール(MCM)が普及しつつある。このマルチチップモジュールを用いることにより、①実装面積の小型化およびこれに伴う軽量化、②高密度配線およびベアチップ実装による高性能・高速化、③高信頼性の確保等が可能になる。

ところで、上述した高密度実装が可能なマルチチップモジュールにおいては、複数の半導体チップを1つの基板上に実装するため、各半導体チップの不良率が累積されてモジュール全体としての不良率が大きくなる。例えば、4個のメモリチップを1つのモジュール基板に実装する場合には、1つのメモリチップが不良であってもモジュール全体の不良となる。したがって、不良となったメモリチップを交換するリペア作業を行ったり、このモジュール全体を不良品として廃棄する等の処置を施す必要があり、歩留まりが悪く、しかも無駄が多かった。また、複数の半導体チップを1つの基板上に実装する場合には、それぞれの半導体チップを1個ずつ基板に実装するため、製造工程が複雑になっていた。

発明の開示

本発明は、このような点に鑑みて創作されたものであり、その目的は、高密度

実装が可能な半導体装置を製造する際の不良率を低減することができ、しかも工程の簡略化が可能な半導体装置およびその製造方法を提供することにある。

本発明では、半導体ウエハに複数の同一の半導体チップ（好ましくはメモリチップ）を形成した後に、あるいはこれらの半導体チップに対して配線、樹脂封止、端子形成を行った後に、各半導体チップの良否検査を行い、その結果に応じて1あるいは複数個を単位として半導体チップを切り分けることにより半導体装置が形成される。良否検査の結果に応じて半導体チップの切り分けを行っているため、複数個の半導体チップによって構成される高密度実装が可能な半導体装置を製造したときに、その中の一部の半導体チップが不良品であるために半導体装置全体が不良品になるということがなく、半導体装置を製造する際の不良率を低減することができる。また、複数個の半導体チップからなる半導体装置をその後の工程で用いることができるため、単一の半導体チップからなる半導体装置を複数個組み合わせて用いる場合に比べて、その後の工程を簡略化することができる。

特に、半導体ウエハに形成された各半導体チップに対して配線、樹脂封止、端子形成からなる実装工程を実施することにより、各半導体チップを個別に切り分けた後にこの実装工程を実施する場合に比べてさらなる工程の簡略化が可能になる。

また、良否検査の結果に応じた半導体チップ、特にメモリチップの切り分けは、4個が可能な場合には4個をひとまとまりとして、4個が不可能であって2個が可能な場合には2個をひとまとまりとして、2個が不可能な場合には1個ずつ行うことが好ましい。このように、多数個取りを優先させることにより、より大きな単位の（4個取りの）半導体装置を無駄なく効率よく製造することができる。

図面の簡単な説明

図1は、第1の実施形態のメモリモジュールの製造工程を示す図、

図2は、半導体ウエハに形成されるメモリチップの概略を示す図、

図3は、半導体ウエハに形成されたメモリチップの切り分け方法の一例を示す図、

図4は、第2の実施形態のメモリモジュールの製造工程を示す図、

図5は、CSP実装されたメモリチップの拡大断面図、

図6は、相互に接続される各メモリチップ間の接続状態を示す図である。

発明を実施するための最良の形態

以下、本発明を適用した第1の実施形態のメモリモジュールについて、図面を参照しながら具体的に説明する。図1は、本実施形態のメモリモジュールの製造工程を示す図である。

まず、図1(a)および(b)に示すように、例えばシリコン単結晶の薄片である半導体ウエハ2を導入し、この半導体ウエハ2に同一のメモリチップ1を形成する(第1の工程)。図1(b)の点線で囲まれた各領域は、メモリチップ1の1単位(切り分けの最小単位)を示しており、半導体ウエハ2には、複数のメモリチップ1が形成される。

図2は、半導体ウエハ2に形成されるメモリチップ1の概略を示す図である。図2に示すように、メモリチップ1は、所定の大きさの半導体ウエハ2と、この半導体ウエハ2の表面に形成される複数のチップ用パッド3とを含んで構成される。チップ用パッド3は、メモリチップ1が実装される基板との電気的接続を行うための接続端子である。

このようにして半導体ウエハ2に複数のメモリチップ1が形成された状態で、次に、メモリチップ1のそれぞれについて良否検査を行う(第2の工程)。例えば、各メモリチップ1に形成されたチップ用パッド3に検査用プローブを押圧して電気的に接触させることにより、各種の機能試験を実施する。各メモリチップ1の良否検査を半導体ウエハ2の全体を単位として行うことにより、すなわち、半導体ウエハ2に形成された複数のメモリチップ1の良否検査を一度に行うことにより、検査効率の向上を図っている。

次に、第2の工程における良否検査の結果に基づいて、図1(c)に示すように、良品と判定されたメモリチップ1を1個あるいは複数個(2個または4個)を単位として切り分ける(第3の工程)。

図3は、半導体ウエハ2に形成された複数のメモリチップ1の切り分け方法の一例を示す図である。図3(a)は、上述した第2の工程における各メモリチッ

ブ1の良否検査の結果を示す図であり、○印は良品と判定されたメモリチップ1を、×印は不良品と判定されたメモリチップ1をそれぞれ示している。また、図3(b)は、図3(a)において良品と判定されたメモリチップ1をどのように切り分けるかを示す図であり、実線で囲まれた範囲が切り分けの単位を示している。上述したように、メモリチップ1は、1個あるいは複数個(2個または4個)を単位として切り分けられるが、なるべく多くの個数をひとまとまりとして切り分けることが好ましい。したがって、図3(b)に示す切り分け方法は、4個のメモリチップ1を切り出すことができる場合は4個を切り分け、4個のメモリチップ1を切り出すことができない場合は2個を切り分け、2個のメモリチップ1を切り出すことができない場合は1個だけを切り分けるという手順となる。図3(a)に示した良否検査の結果に対してこの切り分け方法を適用した場合には、図3(b)に示すように、4個のメモリチップ1を切り分けたものが1組、2個のメモリチップ1を切り分けたものが3組、1個のメモリチップ1を切り分けたものが3組取り出される。このようにして、1個あるいは複数個からなる半導体装置が製造される。

次に、図1(d)に示すように、切り分けたメモリチップ1を基板4に実装して、最終的に、メモリチップ1を4個取りしたメモリモジュール10a、2個取りしたメモリモジュール10b、1個取りしたメモリモジュール10cのいずれかを完成させる(第4の工程)。例えば基板4への実装方法としては、メモリチップ1に形成されたチップ用パッド3と基板4に形成された電極(図示せず)とをボンディングワイヤを用いて接続する。

メモリチップ1を4個取りしたメモリモジュール10aは、例えば各メモリチップ1のビット構成を16M×4ビットとすると、メモリモジュール10aを実装する基板(図示せず)の配線の仕方によって、16M×16ビット、32M×8ビット、64M×4ビットのいずれかのメモリ素子として用いることができる。また、メモリモジュール10aは、単一のメモリ素子と同様に取り扱うことができるため、他の基板等への実装工程の簡略化が可能となる。

同様に、メモリチップ1を2個含んだメモリモジュール10bは、各メモリチップ1のビット構成を16M×4ビットとすると、メモリモジュール10bを実

装する基板の配線の仕方によって、 $16\text{M} \times 8$ ビット、 $32\text{M} \times 4$ ビットのいずれかのメモリ素子として用いることができる。また、メモリモジュール10bは、単一のメモリ素子と同様に取り扱うことができるため、他の基板等への実装工程の簡略化が可能となる。

このように、半導体ウエハ2に同一のメモリチップ1を複数個形成し、これらのメモリチップ1のうち、良否検査によって良品であると判定されたもののみを切り分けてメモリモジュール10が製造されるため、メモリモジュール10に含まれる一部のメモリチップ1が不良品であるためにメモリモジュール10全体が不良品となってしまうことがなく、メモリモジュール10の製造の際の不良率を低減することができる。

また、半導体ウエハ2全体を単位としてその半導体ウエハ2に形成された複数のメモリチップ1の良否検査を一度に行っているため、検査の効率を上げることができる。さらに、メモリチップ1は、1個あるいは複数個（2個または4個）を単位として半導体ウエハ2から切り分けられるが、なるべく多くの個数をひとまとまりとして切り分けて、すなわちなるべく4個ずつ切り分けているため、メモリチップ1を4個取りしたメモリモジュール10aを効率よく製造することができる。

また、メモリモジュール10aやメモリモジュール10bは、半導体ウエハ2に形成されたメモリチップ1を複数個まとめて切り分けたものが実装されている。すなわち、複数のメモリチップ1が互いにつながった状態で実装されるため、半導体ウエハ2からメモリチップ1を1個ずつ切り出し、各メモリチップ1同士の間隔をとって実装してメモリモジュールを形成する場合と比較すると、高密度実装による部品の小型化が可能になる。また、一度に複数の半導体チップ1を実装することができるため、製造工程を簡略化することが可能となる。

次に、本発明を適用した第2の実施形態のメモリモジュールについて説明する。本実施形態のメモリモジュールは、チップサイズパッケージ（CSP ; Chip Size Package）実装技術によって製造される。図4は、本実施形態のメモリモジュールの製造工程を示す図である。

まず、図4（a）および（b）に示すように、半導体ウエハ12を導入し、こ

の半導体ウエハ12に同一のメモリチップ11を形成する(第1の工程)。図4(b)の点線で囲まれた複数の各領域は、CSP実装後のメモリチップ11の1単位(切り分けの最小単位)を示している。次に、複数のメモリチップ11が形成された状態の半導体ウエハ12全体を対象として、図4(c)に示すように、配線と樹脂封止を行った後に端子を形成するCSP実装を行う(第2の工程)。

図5は、CSP実装されたメモリチップ11の拡大断面図である。図5に示すように、CSP実装されたメモリチップ11は、半導体ウエハ12、配線パターン13、ビア・ポスト14、バリヤ・メタル15、樹脂層16、半田ボール17を含んで構成される。

配線パターン13は、半導体ウエハ12の表面に形成された金属薄膜をレジストで加工した後、電解メッキ処理を施すことにより形成される。ビア・ポスト14は、配線パターン13に接続されており、その頂上部にはバリヤ・メタル15が形成される。樹脂層16は、半導体ウエハ12の表面を封止している。樹脂層16は、ビア・ポスト14の高さとほぼ等しい厚さを有しており、樹脂封止したときにバリヤ・メタル15が外部に露出するようになっている。半田ボール17は、メモリチップ11が実装される基板との電氣的接続を行うための接続端子である。

このようにして半導体ウエハ12に形成された複数のメモリチップ11がCSP実装された状態で、次に、各メモリチップ11の良否検査を行う(第3の工程)。例えば、各メモリチップ11に対応して形成された半田ボール17に検査用プローブを押圧して電氣的に接触させることにより、各種の機能試験を実施する。メモリチップ11の良否検査を半導体ウエハ12の全体を単位として行うことにより、すなわち、半導体ウエハ12に形成された複数のメモリチップ11の良否検査を一度に行うことにより、検査効率の向上を図っている。

次に、第3の工程における良否検査の結果に基づいて、図4(d)に示すように、良品と判定されたCSP実装後のメモリチップ11を1個あるいは複数個(2個または4個)を単位として切り分けることにより、最終的に、メモリチップ11を4個取りしたメモリモジュール20a、2個取りしたメモリモジュール20b、1個取りしたメモリモジュール20cのいずれかを完成させる(第4の

工程)。具体的な切り分け方法は、上述した第1の実施形態において、図3に示した切り分け方法が適用される。

このように、半導体ウエハ12に同一のメモリチップ11を複数個形成した後、CSP実装を行い、CSP実装後の各メモリチップ11のうち、良否検査によって良品であると判定されたもののみを切り分けて半導体装置としてのメモリモジュール20が製造されるため、メモリモジュール20に含まれる一部のメモリチップ11が不良品であるためにメモリモジュール20全体が不良品となってしまうことがなく、メモリモジュール20を製造する際の不良率を低減することができる。

また、メモリモジュール20aやメモリモジュール20bは、半導体ウエハ12から複数のメモリチップ11をまとめて切り出したものが実装される。このため、半導体ウエハ12からメモリチップ11を1個ずつ切り出した後に各メモリチップ1の間隔をとって実装してメモリモジュールを形成する場合と比較すると、高密度実装による部品の小型化が可能になる。特に、CSP実装を行っているため、実装面積が最小になる。また、良否パターンに基づいて、できるだけ多くのメモリチップ11を含むようなメモリモジュール20a等の切り出しが行われるため、多数個取りのメモリモジュール20a等を効率よく製造することができる。

本発明は、上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述した第1の実施形態の半導体ウエハ2に含まれる各メモリチップ1は、対応する端子同士を各メモリチップ1内の配線によって相互に接続するようにしてもよい。例えば、各メモリチップ1の電源端子には共通の電源電圧が印加され、クロック端子には共通の動作クロック信号が入力される。同じ電圧が印加される端子同士あるいは同じ信号が入力される信号同士を各メモリチップ1を形成する際に接続しておいて、4個あるいは2個を同時に切り出す場合には、4個あるいは2個のメモリチップ1の中のいずれか一つに対して、共通の電圧を印加し、あるいは共通の信号を入力するようにする。このように、各メモリチップ1の内部で相互に配線を行うことにより、複数のメモリチップ1とこれを実装する基板4との間の配線量を減らすことができ、実装工程の簡略化が可能になる。

但し、隣接する各メモリチップ1をどのように組み合わせて切り出すかは、良否検査を行うまでわからないため、図6に示すように、隣接する全てのメモリチップ1同士の同じ端子を相互に配線しておくことが好ましい。また、一例として電源端子やクロック端子を相互に接続する場合を説明したがその他の端子、例えばアドレス端子やデータ端子を相互に接続するようにしてもよい。同じアドレス端子同士を接続すると、例えば1個のメモリチップ1のビット構成を $16\text{M} \times 4$ ビットとしたときに、2個のメモリチップ1を同時に切り出すメモリモジュール10bでは $16\text{M} \times 8$ ビットのビット構成を少ない配線量で容易に実現でき、4個のメモリチップ1を同時に切り出すメモリモジュール10aでは $16\text{M} \times 16$ ビットのビット構成を少ない配線量で容易に実現できる。また、同じデータ端子同士を接続すると、例えば1個のメモリチップ1のビット構成を $16\text{M} \times 4$ ビットとしたときに、2個のメモリチップ1を同時に切り出すメモリモジュール10bでは $32\text{M} \times 4$ ビットのビット構成を少ない配線量で容易に実現でき、4個のメモリチップ1を同時に切り出すメモリモジュール10aでは $64\text{M} \times 4$ ビットのビット構成を少ない配線量で容易に実現できる。

同様に、上述した第2の実施形態の半導体ウエハ12に含まれる各メモリチップ11の対応する端子同士を配線によって相互に接続するようにしてもよい。但し、この場合には、半導体ウエハ12において各メモリチップ11の端子同士を相互に接続する場合の他に、CSP実装を行う際に形成する配線（図5に示した配線パターン13）を用いて各メモリチップ11の端子同士を相互に接続するようにしてもよい。

また、上述した実施形態では、各メモリチップ1のビット構成を $16\text{M} \times 4$ ビットとしたが、他のビット構成でもよく、また、異なるビット構成あるいは容量のメモリチップ1を組み合わせてもよい。また、上述した実施形態では、半導体チップとしてメモリチップを用い、半導体装置としてのメモリモジュールを製造する場合を例にとって説明したが、メモリチップ以外の半導体チップ、例えば、プロセッサチップやASIC等の各種チップを用いて半導体装置を製造する場合に適用することができる。

また、上述した第1の実施形態では、複数個あるいは1個ずつ切り出したメモ

リチップ1を基板4上に実装してメモリモジュール10を形成したが、メモリチップ1をパーソナルコンピュータのマザーボード等に直接実装するようにしてもよい。

産業上の利用可能性

上述したように、本発明によれば、良否検査の結果に応じて1あるいは複数個を単位として半導体ウエハから半導体チップを切り分けているため、複数個の半導体チップによって構成される高密度実装が可能な半導体装置を製造したときに、その中の一部の半導体チップが不良品であるために半導体装置全体が不良品になるということがなく、半導体装置を製造する際の不良率を低減することができる。また、複数個の半導体チップからなる半導体装置をその後の工程で用いることができるため、単一の半導体チップからなる半導体装置を複数個組み合わせて用いる場合に比べて、その後の工程を簡略化することができる。

請 求 の 範 囲

1. 半導体ウエハに複数の同一の半導体チップを形成した後に、各半導体チップの良否検査の結果に応じて1あるいは複数個を単位として前記半導体チップを切り分けることにより形成することを特徴とする半導体装置。

2. 前記半導体チップはメモリチップであることを特徴とする請求の範囲第1項記載の半導体装置。

3. 半導体ウエハに形成された複数の同一の半導体チップに対して配線、樹脂封止、端子形成を行った後に、各半導体チップの良否検査の結果に応じて1あるいは複数個を単位として前記半導体チップを切り分けることにより形成することを特徴とする半導体装置。

4. 前記半導体チップはメモリチップであることを特徴とする請求の範囲第3項記載の半導体装置。

5. 半導体ウエハに複数の同一の半導体チップを形成する第1の工程と、

前記半導体ウエハに形成された複数の前記半導体チップのそれぞれの良否検査を行う第2の工程と、

前記良否検査の結果に基づいて1あるいは複数の前記半導体チップを切り分ける第3の工程と、

を備えることを特徴とする半導体装置の製造方法。

6. 前記半導体チップはメモリチップであることを特徴とする請求の範囲第5項記載の半導体装置の製造方法。

7. 前記良否検査の後に行われる複数の前記半導体チップの切り分けは、4個が可能な場合には4個をひとまとまりとして、4個が不可能であって2個が可能な場合には2個をひとまとまりとして、2個が不可能な場合には1個ずつ行うことを特徴とする請求の範囲第5項記載の半導体装置の製造方法。

8. 半導体ウエハに複数の同一の半導体チップを形成する第1の工程と、

前記半導体ウエハ上に形成された複数の前記半導体チップに対して配線、樹脂封止、端子形成を行う第2の工程と、

前記第2の工程によって形成された前記端子を用いて、前記半導体ウエハに形成された複数の前記半導体チップのそれぞれの良否検査を行う第3の工程と、

前記良否検査の結果に基づいて 1 あるいは複数の前記半導体チップを切り分ける第 4 の工程と、

を備えることを特徴とする半導体装置の製造方法。

9. 前記半導体チップはメモリチップであることを特徴とする請求の範囲第 8 項記載の半導体装置の製造方法。

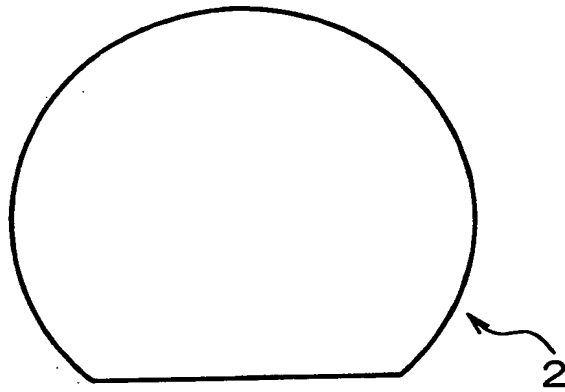
10. 前記良否検査の後に行われる複数の前記半導体チップの切り分けは、4 個が可能な場合には 4 個をひとまとまりとして、4 個が不可能であって 2 個が可能な場合には 2 個をひとまとまりとして、2 個が不可能な場合には 1 個ずつ行うことを特徴とする請求の範囲第 8 項記載の半導体装置の製造方法。

要 約 書

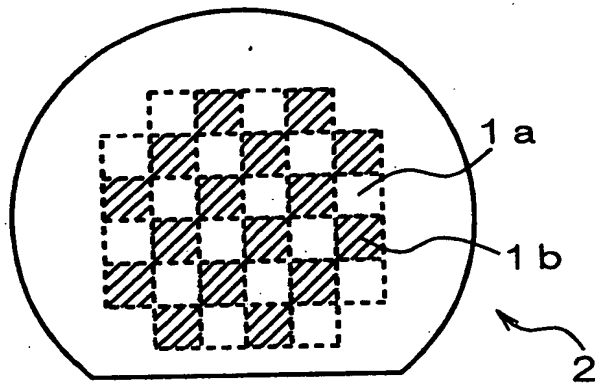
高密度実装が可能な半導体装置を製造する際の不良率を低減することができ、しかも工程の簡略化が可能な半導体装置およびその製造方法を提供することを目的とする。半導体ウエハ 2 に同一のメモリチップ 1 を複数個形成した状態で、各メモリチップ 1 の良否検査を一度に行い、良品と判定されたメモリチップ 1 を 4 個、2 個あるいは 1 個単位で半導体ウエハ 2 から切り出し、基板 4 に実装してメモリモジュール 10 を完成させる。

図1

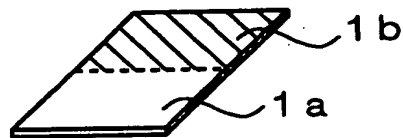
(a)



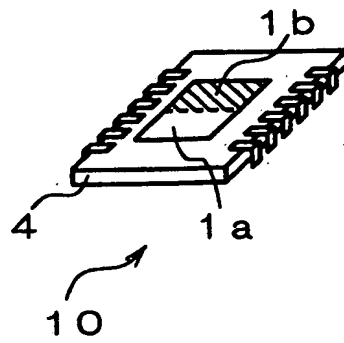
(b)



(c)



(d)



2 / 5

2

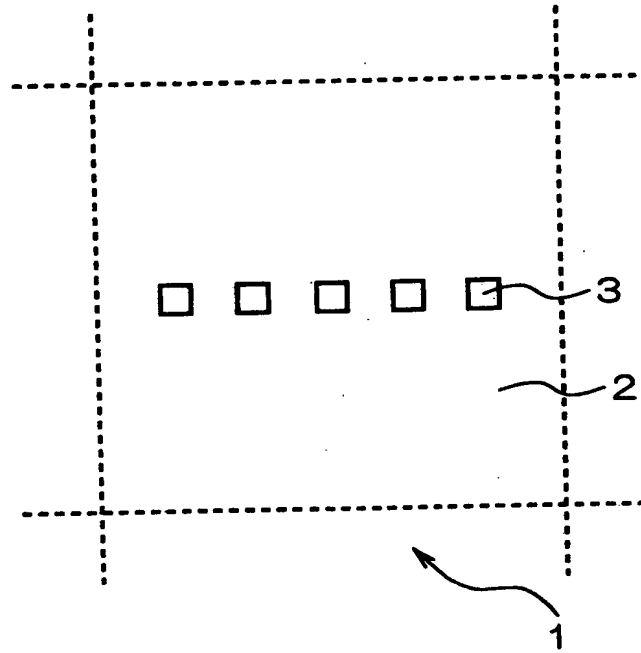
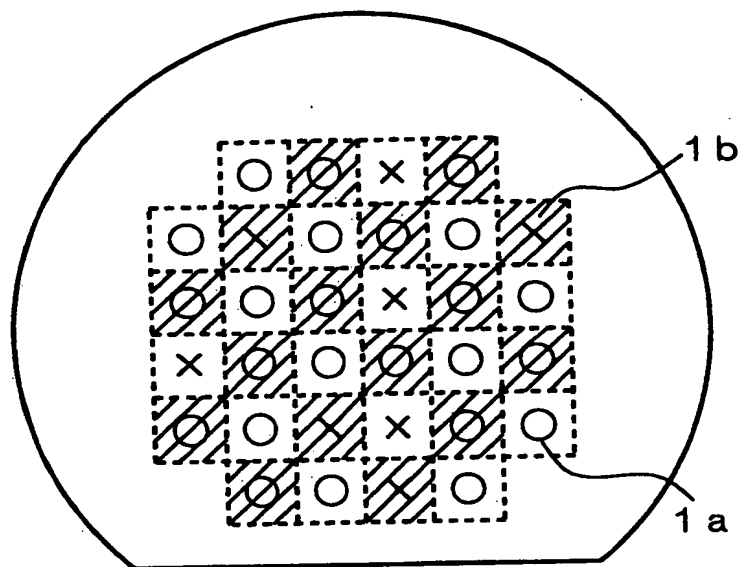


图 3

(a)



(b)

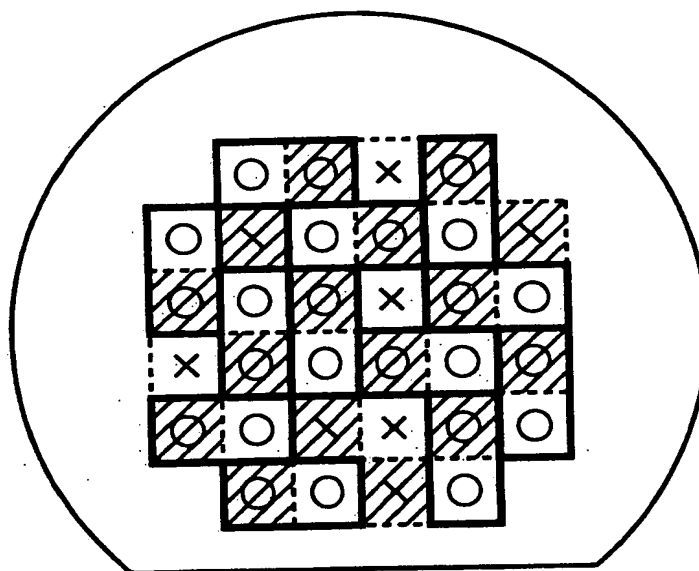
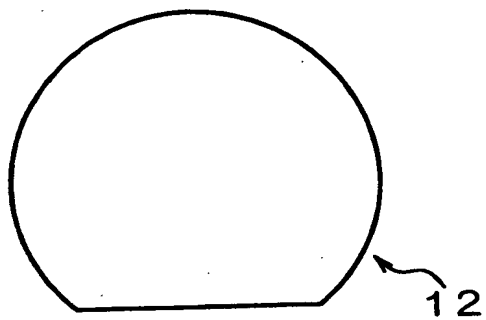
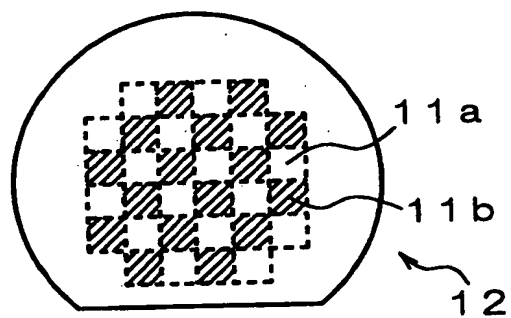


図4

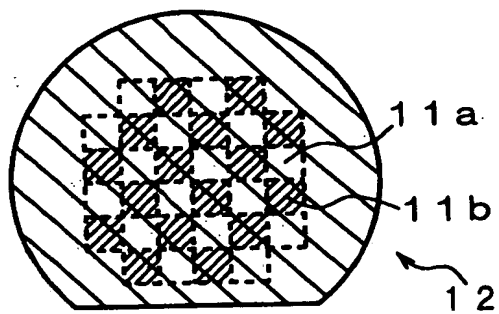
(a)



(b)



(c)



(d)

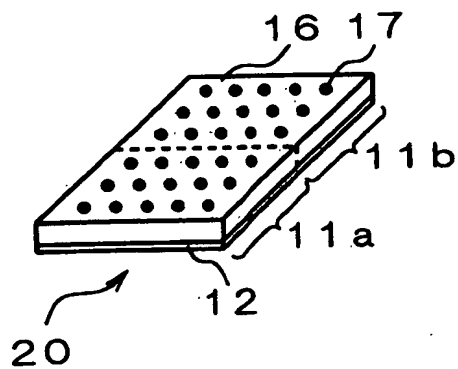


图5

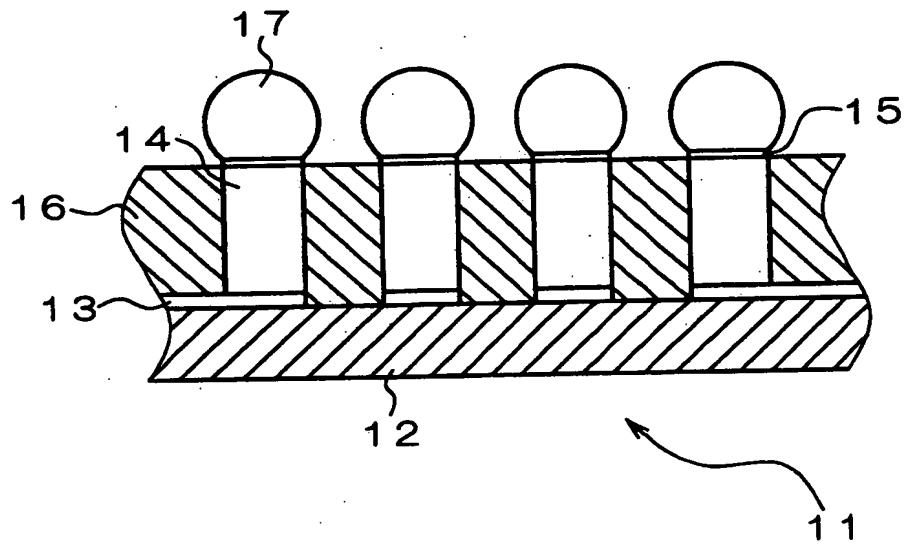


图6

